

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-335626

(43)Date of publication of application : 22.11.2002

(51)Int.Cl.

H02H 11/00

H02J 7/00

H03K 17/06

H03K 17/687

(21)Application number : 2001-139470

(71)Applicant : NEC SYSTEM TECHNOLOGIES LTD

(22)Date of filing : 10.05.2001

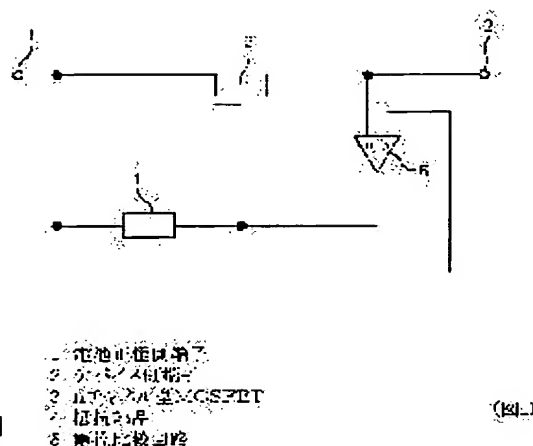
(72)Inventor : KAMIYA HIROSHI

(54) REVERSE CURRENT PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To apply the necessary voltage to a device power supply circuit by reducing a voltage drop in a backward current preventing circuit connected between a battery and the device power supply circuit.

SOLUTION: The drain of a MOSFET 3 is connected to a terminal 1 in the positive pole side of a battery and a source thereof is connected to a terminal 2 in the device side. The gate of the MOSFET 3 is connected to the drain via a resistance component 4. In order to monitor the power supply potential of device, one input terminal a of a potential comparison circuit 5 is connected to the source of MOSFET 3 and the other input terminal b of the potential comparison circuit 5 is connected to the drain of MOSFET 3. An output terminal of the potential comparison circuit 5 is connected to the connecting point of the gate of MOSFET 3 and the resistance component 4. The potential comparison circuit 5 outputs a low level when the input terminal a side is at higher potential than that of the input terminal b side and turns into a high impedance state in the reverse case.



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-335626

(P2002-335626A)

(43)公開日 平成14年11月22日 (2002. 11. 22)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 2 H 11/00		H 0 2 H 11/00	F 5 G 0 0 3
H 0 2 J 7/00		H 0 2 J 7/00	T 5 J 0 5 5
H 0 3 K 17/06		H 0 3 K 17/06	C
17/687		17/687	A

審査請求 有 請求項の数7 O L (全 4 頁)

(21)出願番号 特願2001-139470(P2001-139470)

(22)出願日 平成13年 5月10日 (2001. 5. 10)

(71)出願人 390001395

エヌイーシーシステムテクノロジー株式会
社

大阪府大阪市中央区城見 1 丁目 4 番24号

(72)発明者 神谷 浩

愛媛県松山市衣山 4 丁目760番地 四国日
本電気ソフトウェア株式会社内

(74)代理人 100096253

弁理士 尾身 祐助

Fターム(参考) 5G003 BA01 FA05 GA01

5J055 AX05 AX53 BX16 CX23 DX13

DX14 DX22 EX07 EY01 EY21

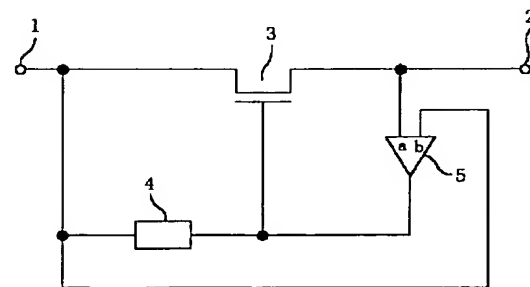
EZ10 FX12 FX38 GX01

(54)【発明の名称】 逆電流防止回路

(57)【要約】

【課題】 電池-デバイス電源回路間に接続される逆電流防止回路での電圧降下を少なくしてデバイス電源回路に必要な電圧が印加されるようにする。

【解決手段】 MOSFET 3のドレインは、電池正極側端子1に接続され、そのソースは、デバイス側端子2に接続される。MOSFET 3のゲートは、抵抗部品4を介してドレインに接続される。デバイスの電源電位を監視するために、MOSFET 3のソースに電位比較回路5の一方の入力端子aを接続し、電位比較器5の他方の入力端子bには、MOSFET 3のドレインを接続する。そして、電位比較回路5の出力端子をMOSFET 3のゲートと抵抗部品4との接続点に接続する。電位比較回路5は、入力端子a側が入力端子b側より高電位となった場合にはローレベルを出力し、逆の場合にはハイインピーダンス状態となる。



- 1 電池正極側端子
- 2 デバイス側端子
- 3 nチャネル型MOSFET
- 4 抵抗部品
- 5 電位比較回路

(図1)

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 電池と該電池より電流の供給を受けるデバイスとの間に接続される逆電流防止回路であって、ソースまたはドレインのいずれか一方が電池側にいずれか他方がデバイス側に接続された電界効果トランジスタと、デバイス側の電位と電池側の電位とを監視しデバイス側の電位が電池側の電位より上昇した場合には前記電界効果トランジスタのゲートに該電界効果トランジスタが遮断できる電位を供給する制御手段と、が備えられていることを特徴とする逆電流防止回路。

【請求項2】 前記制御手段が、出力端子が前記電界効果トランジスタのゲートに接続され、第1の入力端子に前記デバイスの電源電位が、第2の入力端子に電池電位が入力される比較回路によって構成されていることを特徴とする請求項1記載の逆電流防止回路。

【請求項3】 電池端子と前記電界効果トランジスタのゲートとの間には、抵抗素子が接続されていることを特徴とする請求項1または2記載の逆電流防止回路。

【請求項4】 前記制御手段の出力端子と前記電界効果トランジスタのゲートとの間には、抵抗素子が接続されていることを特徴とする請求項1または2記載の逆電流防止回路。

【請求項5】 前記抵抗素子が、ポリシリコン抵抗、拡散抵抗または電界効果トランジスタによって構成されていることを特徴とする請求項3または4記載の逆電流防止回路。

【請求項6】 電池とデバイス間には逆電流を阻止する複数の電界効果トランジスタが並列接続されていることを特徴とする請求項1または2記載の逆電流防止回路。

【請求項7】 電池とデバイス間には逆電流を阻止するpチャネル型の電界効果トランジスタとnチャネル型の電界効果トランジスタとが逆並列接続されていることを特徴とする請求項1または2記載の逆電流防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、逆電流防止回路に関し、特にリチウム電池等の一次電池とこのリチウム電池から電流の供給を受けるデバイスとの間に接続される逆電流防止回路に関するものである。

【0002】

【従来の技術】3V系等のリチウム電池は、小型・軽量、高エネルギー密度、低自己放電特性を有することから、家電製品、電卓、バックアップ用電源等の広い分野において用いられている。而して、一次電池として設計されたリチウム電池では、負荷（デバイス）側から電池へ逆電流が流入することがないようにすることが望ましいため、リチウム電池がバックアップ用電源等に用いられる場合にはバックアップ時に電池から電流の供給を受けるデバイスと電池との間に逆電流を阻止する回路が挿

入されることがある。

【0003】従来、逆電流防止回路としては、図5に示すように、ダイオード10を、そのアノード側を電池正極側端子1、そのカソード側をデバイス側端子2として、電池正極-デバイス電源入力端に挿入することが行われてきた。この回路によれば、仮令デバイスの電源回路の電位が電池電圧を越えることがあってもダイオード10がバリアとなるため、逆電流が電池側へ流入することを防止できる。

10 【0004】

【発明が解決しようとする課題】ダイオードによって逆電流を防止した従来の回路では、負荷への電流供給時に、ダイオードに約0.7Vの順方向電圧降下 V_F が発生するため、例えば3V系のリチウム電池を用いた場合には、デバイスの電源回路に供給される電圧は2.3Vにまで低下してしまう。そのため、デバイスの電源回路に本来必要となる3Vを供給することが出来ず、回路によっては正常動作が阻害される恐れが生じる。本発明の課題は、上述した従来例の問題点を解決することであって、その目的は、仮令デバイス側の電位が電池電圧を越えることがあっても電池側へ電流が逆流することのないようにするとともに、挿入された逆電流防止回路による電圧降下を少なくしてデバイスの電源には本来必要となる電圧を供給できるようにすることである。

【0005】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、電池と該電池より電流の供給を受けるデバイスとの間に接続される逆電流防止回路であって、ソースまたはドレインのいずれか一方が電池側にいずれか他方がデバイス側に接続された電界効果トランジスタと、デバイス側の電位と電池側の電位とを監視しデバイス側の電位が電池側の電位より上昇した場合には前記電界効果トランジスタのゲートに該電界効果トランジスタが遮断できる電位を供給する制御手段と、が備えられていることを特徴とする逆電流防止回路、が提供される。

30 【0006】そして、好ましくは、前記制御手段が、出力端子が前記電界効果トランジスタのゲートに接続され、第1の入力端子に前記デバイスの電源電位が、第2の入力端子に電池電位が入力される比較回路によって構成される。また、好ましくは、電池端子と前記電界効果トランジスタのゲートとの間には、抵抗素子が接続される。

【0007】

【発明の実施の形態】次に、本発明の実施の形態について、実施例に即して図面を参照しつつ詳細に説明する。図1は、本発明の第1の実施例を示す回路図である。図1に示すように、nチャネル型MOSFET3のドレインは、電池正極側端子1に接続され、そのソースは、デバイス側端子2に接続される。MOSFET3のゲート

は、抵抗部品4を介してドレインに接続される。デバイスの電源電位を監視するために、MOSFET3のソースを電位比較回路5の第1入力端子aに接続し、電位比較器5の質に第2入力端子bには、MOSFET3のドレインを接続する。そして、電位比較回路5の出力端子をMOSFET3のゲートと抵抗部品4との接続点に接続する。ここで、電位比較回路5は、第2入力端子b側が第1入力端子a側より高電位の場合には出力端子がハイインピーダンス状態となり、逆に第1入力端子a側が第2入力端子b側より高電位となった場合にはLowレベルの電圧を出力する。なお、抵抗部品4は、ポリシリコン抵抗または拡散抵抗等により得ることができる。また、MOSFETなどの電界効果トランジスタを抵抗部品として用いてもよい。

【0008】ここで、電池正極側端子1に3V系リチウム電池の正極が接続され、デバイス側端子2はデバイスの電源回路に接続されているものとする。いま、デバイス側の電源回路の電位が2.9Vに低下し、電池電圧が3.0Vを維持しているものとする。電位比較回路の出力端子がハイインピーダンス状態にあってMOSFET3のゲートには抵抗部品4を介して3Vが供給されるため、MOSFET3は導通状態にあり、デバイスにはMOSFET3を介して電流が供給されている。ここでは、電池の供給電流値を10mA、MOSFET3の抵抗値を2Ωと仮定すると、MOSFET3における電圧降下は、 $10\text{mA} \times 2\Omega = 0.02\text{V}$ となる。従って、デバイスの電源回路入力部には、 $3.00\text{V} - 0.02\text{V} = 2.98\text{V}$ の電圧が供給されることになり、デバイス回路の正常動作が保証される。このとき、電位比較回路5の第1入力端子aにも、2.98Vが供給され、電位比較回路5は、ハイインピーダンス状態を維持するため、MOSFET3は導通状態を続ける。

【0009】次に、電位比較回路5の第1入力端子aに入力されるデバイス側の電位が、電池電圧以上、例えば3.1Vとなったものとする。電位比較回路5の一方の入力端子には3.1Vが供給されることになり、電位比較回路5は、Lowレベルを出力してMOSFET3を遮断状態にする。これによって、デバイスの電源入力部から、3V系リチウム電池の正極側に逆電流が流入することは防止される。

【0010】図2は、本発明の第2の実施例を示す回路図である。図2において、図1に示した第1の実施例の部分と同等の部分には同一の参照番号を付し、重複する説明は省略する（以下の実施例においても同様である）。第2の実施例においては、MOSFET3のゲートにバイアスを与えるための抵抗素子が削除され、MOSFET3のゲートには、電位比較回路6の出力端子のみが接続される。ここで、電位比較回路6は、第2入力端子b側が第1入力端子a側より高電位の場合には出力端子がHighレベル、逆に第1入力端子a側が第2入

力端子b側より高電位となった場合にはLowレベルの電圧を出力する。

【0011】いま、電位比較回路6の第2入力端子bに電池電圧の3Vが入力され、デバイス側端子2の電圧が3V以下、例えば2.9Vに低下したものとすると、電位比較回路6の出力端子にはHighレベルが出力されるため、MOSFET3は導通状態となり電池側からデバイス側へ電流が流れる。次に、デバイス側端子2の電圧が3V以上、例えば3.1Vに上昇した場合には、電位比較回路6の出力端子にはLowレベルが出力されるため、MOSFET3が遮断状態となり、電池への逆電流は阻止される。

【0012】図3は、本発明の第3の実施例を示す回路図である。本実施例回路の図2に示した第2の実施例回路と相違する点は、電池からデバイスへの電流経路となるMOSFET3と並列に、これと同様の機能を有するnチャネル型MOSFET7を接続した点と、電位比較回路6の出力端子とMOSFETのゲートとの間に抵抗部品4が接続された点である。ここで、図1～図3のMOSFETがすべて同一のサイズに製作されているものとする。第1、第2の実施例に比較して、本実施例に依れば、電流容量を約2倍に、抵抗値を約半分にすることができる。なお、並列接続するMOSFETの個数は2個に限定されず、3個以上であってもよい。

【0013】図4は、本発明の第4の実施例を示す回路図である。本実施例回路の図2に示した第2の実施例回路と相違する点は、デバイスへの電流経路に挿入されたMOSFET3に加えてこれと逆並列にpチャネル型MOSFET8が接続された点である。本実施例においては、電位比較回路6の出力端子は、MOSFET3のゲートに接続されるとともにインバータ9を介してMOSFET8のゲートに接続されている。本実施例回路も第2の実施例と同様の動作を行い、第2の実施例回路と同様の効果を得ることができる。

【0014】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なのである。例えばnチャネル型MOSFET3に代えてpチャネル型MOSFETを用いることが出来る。また、MOSFETに代えてMOS型以外の電界効果トランジスタを用いることが出来る。また、本発明において用いられる電界効果トランジスタは、エンハンスメント型のみならずディブリーション型のものであってもよい。但し、ディブリーション型のトランジスタを採用する場合には、電位比較回路5、6が正・負の電圧を出力できるようにする必要がある。また、本発明に係る逆電流防止回路は、電源側を負電位、接地側を正電位とするデバイス回路に対しても適用が可能なものである。

【0015】

【発明の効果】以上説明したように、本発明は、電池-

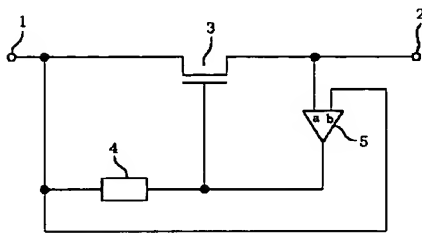
デバイス電源入力部に、逆電流を防止するための電界効果トランジスタを挿入したものであるので、逆電流を防止しつつ逆電流防止回路での電圧降下を低く抑えることが出来る。従って、本発明によれば、逆電流による電池の破損を確実に防止することができると共に、デバイス側が電源を喪失するなどして電池側から電流を供給する必要がある場合にはデバイス回路が必要とする電圧を電池から供給することが可能になり、デバイスの動作信頼性を高めることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す回路図。

【図2】 本発明の第2の実施例を示す回路図。

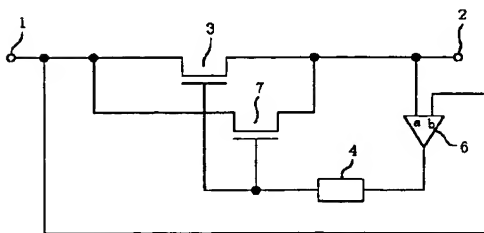
【図1】



- 1 電池正極側端子
- 2 デバイス側端子
- 3 nチャネル型MOSFET
- 4 抵抗部品
- 5 電位比較回路

(図1)

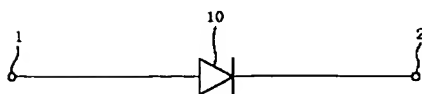
【図3】



7 nチャネル型MOSFET

(図3)

【図5】



10 ダイオード

(図5)

*【図3】 本発明の第3の実施例を示す回路図。

【図4】 本発明の第4の実施例を示す回路図。

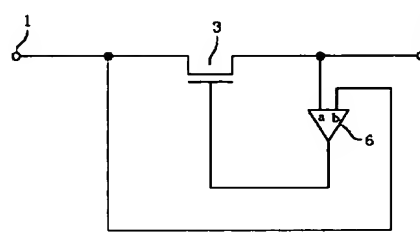
【図5】 従来例の回路図。

【符号の説明】

- 1 電池正極側端子
- 2 デバイス側端子
- 3、7 nチャネル型MOSFET
- 4 抵抗部品
- 5、6 電位比較回路
- 10 8 pチャネル型MOSFET
- 9 インバータ

* 10 ダイオード

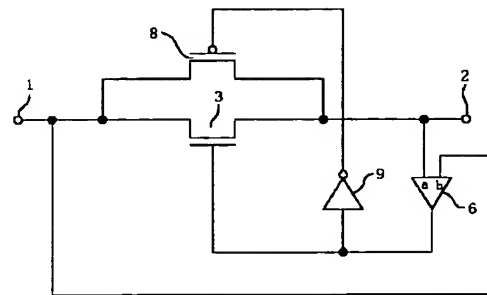
【図2】



6 電位比較回路

(図2)

【図4】



8 pチャネル型MOSFET

9 インバータ

(図4)